

## Verfahren zur Herstellung eines Double-Gate MOSFETs

**Publication number:** DE19846063 (A1)

**Publication date:** 2000-04-20

**Inventor(s):** MARSO MICHEL [DE]; MOERS JUERGEN [DE]; KLAES DIRK [DE]; KORDOS PETER [DE]; LUETH HANS [DE]

**Applicant(s):** KERNFORSCHUNGSANLAGE JUELICH [DE]

**Classification:**


**- international:** *H01L21/336; H01L29/78; H01L21/02; H01L29/66;* (IPC1-7): H01L21/336


**- European:** H01L21/336A; H01L29/78C

**Application number:** DE19981046063 19981007


**Priority number(s):** DE19981046063 19981007


**Also published as:**

 WO0021118 (A2)

 WO0021118 (A3)

**Cited documents:**

 DE19711482 (A1)

 DE19621244 (A1)

Abstract of **DE 19846063 (A1)**

The invention relates to a method for producing a component with sub-100 nm structuring. Only one sub-100 nm structuring is provided for when initial geometric configuring occurs. A double gate MOSFET with sub-100 nm structuring can be chosen as said component.

.....  
Data supplied from the **esp@cenet** database — Worldwide



⑮ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

⑫ **Offenlegungsschrift**  
⑩ **DE 198 46 063 A 1**

⑤① Int. Cl.<sup>7</sup>:  
**H 01 L 21/336**

⑳ Aktenzeichen: 198 46 063.5  
㉑ Anmeldetag: 7. 10. 1998  
㉒ Offenlegungstag: 20. 4. 2000

**DE 198 46 063 A 1**

㉑ **Anmelder:**  
Forschungszentrum Jülich GmbH, 52428 Jülich, DE

㉒ **Erfinder:**  
Marso, Michel, Dr., 52428 Jülich, DE; Moers,  
Jürgen, Dr., 41748 Viersen, DE; Klaes, Dirk, 53721  
Siegburg, DE; Kordos, Peter, Prof., 52428 Jülich, DE;  
Lüth, Hans, Prof., 52076 Aachen, DE

⑤⑥ **Entgegenhaltungen:**  
DE 197 11 482 A1  
DE 196 21 244 A1  
· Double-gate MOSFET demonstrates 25-nm thick  
channel · , Solid State Technology, 1998 (3) 24, 26;  
BEHAMMER, D. et al: · Selectively grown vertical  
Si-p MOS transistor with short channel lengths · ,  
Electronics Letters 32 (1996) 4, 406-407;

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ **Verfahren zur Herstellung eines Double-Gate MOSFETs**

⑤⑦ Die Erfindung betrifft ein Verfahren zur Herstellung eines Bauelements mit sub-100 nm-Strukturierung. Dabei ist zu Anfang der geometrischen Ausbildung des Bauelements eine einzige sub-100 nm-Strukturierung vorgesehen. Als Bauelement kann ein Double-Gate MOSFET mit sub-100 nm-Strukturierung gewählt sein.

**DE 198 46 063 A 1**

Die Erfindung betrifft ein Verfahren zur Herstellung eines Double-Gate MOSFETs gemäß dem Oberbegriff des Anspruchs 1.

Die bekannten integrierten Schaltungen der Halbleitertechnik basieren zu einem großen Teil auf der Silizium-basierenden CMOS-Technologie. Durch die zunehmende Verringerung der Transistorabmessungen in CMOS-Schaltungen zur Erhöhung von Geschwindigkeit und Integrationsdichte wachsen die Anforderungen an die gesamte Technologie, insbesondere an die Lithographie zur Definition der Bauelementabmessungen. Außerdem führt die Verkleinerung der Bauelementabmessungen zu sogenannten Kurzkanaleffekten, durch welche die Eigenschaften wie z. B. Ausgangsleitwert, Sperrverhalten, Schaltverhalten negativ beeinträchtigt werden. Durch Modifikationen am MOSFET, beispielsweise durch das Anbringen eines zweiten Gates unter dem Kanal kann das Verhalten verbessert werden. Die Umschließung der Kanalschicht von beiden Seiten erlaubt die vollständige Kontrolle durch das Gate und damit eine Reduzierung der Kurzkanaleffekte, sofern die Kanalschicht dünn genug ist.

Die technologisch sehr anspruchsvolle Herstellung eines solchen Double-Gate-Transistors als laterales Bauelement mit Stromfluß parallel zur Oberfläche ist beispielsweise aus "Double-gate MOSFET demonstrates 25-nm thick channel", Solid State Technology, 1998 (3), pp. 22–24 bekannt. Eine einfachere Möglichkeit besteht in der Ausführung als vertikaler Transistor, ähnlich den bekannten Vertikalen MOSFET-Konzepten, wie aus D. Behammer, L. Vescan, R. Loo, J. Moers, A. Mück, H. Lüth, T. Grabolla, Electronics Letters 32 (1996), pp. 406–407 bekannt. Zur kompletten Einschnürung des Kanalgebietes müssen nachteilig die lateralen Abmessungen bis weit in den sub-100nm-Bereich reduziert werden. Folglich sind bei der Herstellung solcher bekannter Bauelementenverfahren notwendig, die eine Vielzahl von Strukturierungsschritten im Bereich unterhalb von 1 µm aufweisen. Damit sind in nachteiliger Weise mehrfach kritische Justierungen nach den einzelnen Verfahrensschritten notwendig um die geometrische Ausdehnung des Bauelements in diesen Dimensionen zu realisieren.

Es ist deshalb Aufgabe der Erfindung ein Verfahren zur Herstellung eines vertikalen Double-Gate-MOSFETs bereitzustellen, bei dem eine technologisch vereinfachte Abfolge erreicht wird.

Die Aufgabe wird gelöst durch ein Verfahren gemäß der Gesamtheit der Merkmale nach Anspruch 1. Weitere zweckmäßige oder vorteilhafte Varianten finden sich in den auf diesen Anspruch rückbezogenen Unteransprüchen.

Es wurde erkannt, daß zur Lösung der Aufgabe zu Anfang der Bildung des Bauelements eine Strukturierung unterhalb von 1 µm (sub-100nm-Strukturierung) vorgesehen wird. Der Vorteil der Erfindung liegt darin, daß nur eine einzige sub-100nm-Strukturierung notwendig ist. Besonders vorteilhaft ist dabei, daß eine Justierung dieser sub-100nm-Strukturierung als erster Strukturierungsschritt nicht erforderlich ist. Nach diesem technologisch anspruchsvollen Verfahrensschritt ist keine weitere präzise sub-µm-genaue Justierung mehr erforderlich. Damit wird im Vergleich zu den bekannten Herstellungsverfahren die Herstellung des erfindungsgemäßen Bauelements erheblich erleichtert.

Die nachfolgenden Verfahrensschritte sind selbstjustierend. Zwar sind bei weiteren Verfahrensschritten Justierungen erforderlich, wie zum Beispiel beim Öffnen von Kontaktfenstern und bei der Isolierung der Einzelbauelemente. Dabei handelt es sich jedoch nur um unkritische Strukturierungsschritte, die zwar Justiertoleranzen aufweisen, aber

wobei in Folge dieser Toleranzen nicht die Bauelementabmessungen vergrößert werden.

Es bedarf folglich keiner hochgenauen Ausführung dieser weiteren Strukturierungsschritte. Das erfindungsgemäße Verfahren zur selbstjustierten Herstellung eines vertikalen Double-Gate-MOSFETs erlaubt zudem in vorteilhafter Weise die Verwendung von Standard-Technologieschritten.

Im Rahmen der Erfindung beinhaltet das erfindungsgemäße Herstellungsverfahren zudem die beiden Planarisierungsschritte zum selbstjustierten Öffnen eines Kontaktfensters für die obere Kontaktschicht bei gleichzeitiger Isolation der Gatekontakttierung.

Das erfindungsgemäße Verfahren ist nicht auf die Herstellung eines vertikalen Double-Gate-MOSFETs beschränkt. Vielmehr ist es vorstellbar, daß das Verfahren mit geeignet geändertem Dotierverlauf auch zur Herstellung von Quantentransistoren, z. B. zur Herstellung eines Single-Electron Transistors eingesetzt wird.

Der Vorteil des mit Hilfe des erfindungsgemäßen Verfahrens hergestellten Double-Gate MOSFETs, weist die für dieses Bauelement bekannten Vorteile auf: gegenüber den konventionellen MOSFETs besteht dieser Vorteil in der Verminderung von Kurzkanaleffekten bei kleinen Kanallängen. Dadurch wird das elektrische Verhalten verbessert. Die Ausführung als Transistor mit vertikaalem Stromfluß ermöglicht eine höhere Packungsdichte als bei den üblichen lateralen MOSFETs. Außerdem wird die beidseitige Umschließung des Kanalgebietes mit Gateoxid erreicht, ohne daß das Silizium nachträglich auf Oxid aufgewachsen werden muß.

Die Erfindung ist im weiteren an Hand von Figuren und Ausführungsbeispiel näher erläutert. Es zeigt:

**Fig. 1** Verfahrensschritte A bis F zur Herstellung eines erfindungsgemäßen vertikalen Double-Gate-MOSFETs.

#### Ausführungsbeispiel

Im folgenden wird an Hand der **Fig. 1A** bis **1F** die Herstellung eines n-Kanal Double-Gate-MOSFETs beschrieben. Es ist jedoch im Rahmen der Erfindung auch vorstellbar, durch entsprechende Dotierung auf diese Weise ein p-Kanal-Bauelement zu bilden.

Ausgangsbasis ist ein geeignet dotierter Si-Wafer, z. B. mit einer n-p-n Schichtfolge für einen n-Kanal-MOSFET. Auf diesen Wafer wird zunächst eine Maskierungsschicht aufgetragen und auf Dimensionen im sub-100nm-Bereich strukturiert.

Als Material für die Maskierungsschicht kann z. B. Silizium (einkristallin oder polykristallin oder amorph), ein Silizid (z. B.  $\text{CoSi}_2$ ), ein Metall oder ein Isolationsmaterial (z. B.  $\text{SiO}_2$ ) gewählt werden. Diese sub-100nm-Strukturierung kann vor dem Aufbringen der Maskierungsschicht z. B. mittels Elektronenstrahl-Lithographie und Lift-off-Technik erfolgen. Es ist auch vorstellbar, diese sub-100nm-Strukturierung nach dem Aufbringen der Maskierungsschicht durchzuführen. Zur sub-100nm-Strukturierung kann eine Elektronenstrahl-Lithographie oder eine optische Lithographie und eine sogenannte Spacertechnologie, eine Technologie die zum Beispiel in Physikalische Blätter 48 (1992), Nr. 11 p. 930 beschrieben wurde, zum Einsatz kommen. Anschließend wird der Bereich der nicht geschützten Maskierungsschicht nachchemisch oder trockenchemisch weggeätzt (**Fig. 1, A**).

Mit der Maskierungsschicht als Maske wird anschließend eine Ätzung der Siliziumschichtfolge zur Definition des Bauelementes durchgeführt. Die untere n-Schicht wird dabei nicht ganz durchgeätzt (**Fig. 1, B**).

Danach erfolgt ein ganzflächiges Auftragen von Gateoxid und dotiertem Polysilizium auf die gebildete Probe. Dabei

wird ein Verfahren gewählt, bei welchem die senkrechten Seitenwände des Bauelementes mit bedeckt werden, z. B. thermische Oxidation zur Herstellung des Oxids, Chemical Vapour Deposition zum Abscheiden des Polysiliziums. Das Polysilizium dient zur Bildung der Gate-Elektrode. Diese Material weist Vorteile gegenüber anderen Materialien auf. Je nach Bedarf kann aber auch ein anderes geeignetes leitendes Material gewählt werden.

Sodann wird die Waferoberfläche planarisiert. Hierzu können bekannte Verfahren eingesetzt werden. Beispielsweise kann dazu Polyimid oder  $\text{SiO}_2$  oder  $\text{Si}_3\text{N}_4$  aufgetragen werden, eventuell kombiniert mit weiteren Ätzschritten (Fig. 1, C).

In einem weiteren Verfahrensschritt wird die Planarisierungsschicht soweit weggeätzt bis die Spitze des Bauelements freiliegt. Anschließend wird anisotrop geätzt, wobei das Polysilizium selektiv gegenüber der Maskierungsschicht und dem Gateoxid wegätzt wird. Es ist vorstellbar, daß dabei das Gateoxid auf der Maskierungsschicht weggeätzt wird, soweit dies erwünscht ist.

Nunmehr wird das Polysilizium soweit zurückgeätzt, daß eine elektrische Verbindung mit der oberen Schicht des Siliziumschichtstapels vermieden wird. Es ist jedoch zweckmäßig, daß noch soviel Polysilizium stehen bleibt, daß eine Spannung am Polysilizium eine Steuerwirkung auf den Transistor zeigt (Fig. 1, D).

Des weiteren erfolgt ein zweiter Planarisierungsschritt mit isolierendem Material. Anschließend wird Material dieser Planarisierungsschicht weggeätzt bis die Spitze des Bauelementes freiliegt, das Polysilizium jedoch bedeckt bleibt. Durch diesen Schritt wird der obere Kontakt des Transistors selbstjustierend freigelegt (Fig. 1, E).

Danach werden Kontaktfenster zum Kontaktieren der Polysiliziumsschicht und der unteren Siliziumsschicht gebildet. Außerdem wird die Maskierungsschicht, sofern diese nicht zur elektrischen Kontaktierung genutzt wird, durch Ätzung entfernt.

Im folgenden werden das Polysilizium, das Gateoxid und Material der unteren n-Schicht an den nicht benötigten Stellen weggeätzt. Anschließend wird eine Isolationsschicht an den Stellen gebildet, wo durch die spätere Kontaktmetallisierungen Kurzschlüsse entstehen würden.

Schließlich werden die elektrischen Kontakte für Gate (Polysilizium-Schicht) sowie für Source und Drain (obere Siliziumsschicht, z. B. an der Maskierungsschicht, und untere Siliziumsschicht) aufgebildet (Fig. 1, F).

Dieses Herstellungsverfahren ergibt einen vertikalen MOSFET, bei welchem das Kanalgebiet mit sub-100nm-Ausdehnung ganzseitig vom Gate umgeben ist. Dies wird allgemein als "surrounding gate" bezeichnet. Durch die sehr geringe Ausdehnung des Kanalgebietes funktioniert das Bauelement wie ein Double-Gate MOSFET.

Im Rahmen der Erfindung ist es vorstellbar, auch andere Bauelemente mit mehreren sub-100nm-Strukturen in unterschiedlichen räumlichen Orientierungen auf diese Weise mittels einer sub-100nm-Strukturierung zu bilden. Dabei kann die erfindungsgemäße Erkenntnis genutzt werden, in Abhängigkeit der gewünschten geometrischen Formgebung des Bauelements einerseits eine Schichtenfolge aus einer oder mehrerer Schichten mit einer Schichtdicke im sub-100nm-Bereich zu bilden um auf diese Weise die geometrische Ausdehnung in zwei von drei Dimensionen festzulegen.

Andererseits kann sodann diese Schichtenfolge mit einer Maskentechnik im sub-100nm-Bereich strukturiert werden, um auf diese Weise die verbleibende, dritte, räumliche Dimensionierung des gewünschten Bauelements festzulegen. Es wurde im Rahmen der Erfindung erkannt, die Bildung

der Schichtenfolge mit einer sub-100nm-Strukturierung zu kombinieren, so daß damit ohne weiteres Strukturen im sub-100nm-Bereich in den drei räumlichen Dimensionen erhalten werden. Die Schichtdicke der Schicht oder der Schichten innerhalb der Schichtenfolge mag dabei Werte im sub-100nm-Bereich bis hin zu Monolagen annehmen.

#### Patentansprüche

1. Verfahren zur Herstellung eines Bauelements mit sub-100nm-Strukturierung, **dadurch gekennzeichnet**, daß zu Anfang der geometrischen Ausbildung des Bauelements eine einzige Strukturierung unterhalb von  $1\ \mu\text{m}$  (sub-100nm-Strukturierung) vorgesehen wird.
2. Verfahren nach Anspruch 1, gekennzeichnet durch einen MOSFET als Bauelement mit sub-100nm-Strukturierung.
3. Verfahren nach Anspruch 1 oder 2, gekennzeichnet durch einen Double-Gate MOSFET als Bauelement mit sub-100nm-Strukturierung.
4. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch folgenden Schritte:
  - Bildung einer auf die spätere geometrische Ausbildung des Bauelements abgestimmte Schichtenfolge, insbesondere Bildung einer n-p-n-Schichtenfolge,
  - Bildung einer Maskierungsschicht auf der freiliegenden Oberfläche dieser Schichtenfolge,
  - Strukturierung der Maskierungsschicht unterhalb von  $1\ \mu\text{m}$  (sub-100nm-Strukturierung) zur geometrischen Festlegung einer der Dimensionen des zu bildenden Bauelements,
  - Entfernung des nicht unterhalb der von der Maskierungsschicht gebildeten Maske liegenden Materials der Schichtenfolge zumindest bis zur mit dem Substrat verbundenen Schicht.
5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die sub-100nm-Strukturierung nach dem Aufbringen der Maskierungsschicht durchgeführt wird.
6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die sub-100nm-Strukturierung vor dem Aufbringen der Maskierungsschicht durchgeführt wird.
7. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch Polysilizium als Material zur Bildung des Gates.
8. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß als Material zur Bildung der Maskierungsschicht Silizium (einkristallin oder polykristallin oder amorph), ein Silizid, insbesondere  $\text{CoSi}_2$ , ein Metall oder ein Isolationsmaterial, insbesondere  $\text{SiO}_2$ , gewählt wird.

---

Hierzu 1 Seite(n) Zeichnungen

---

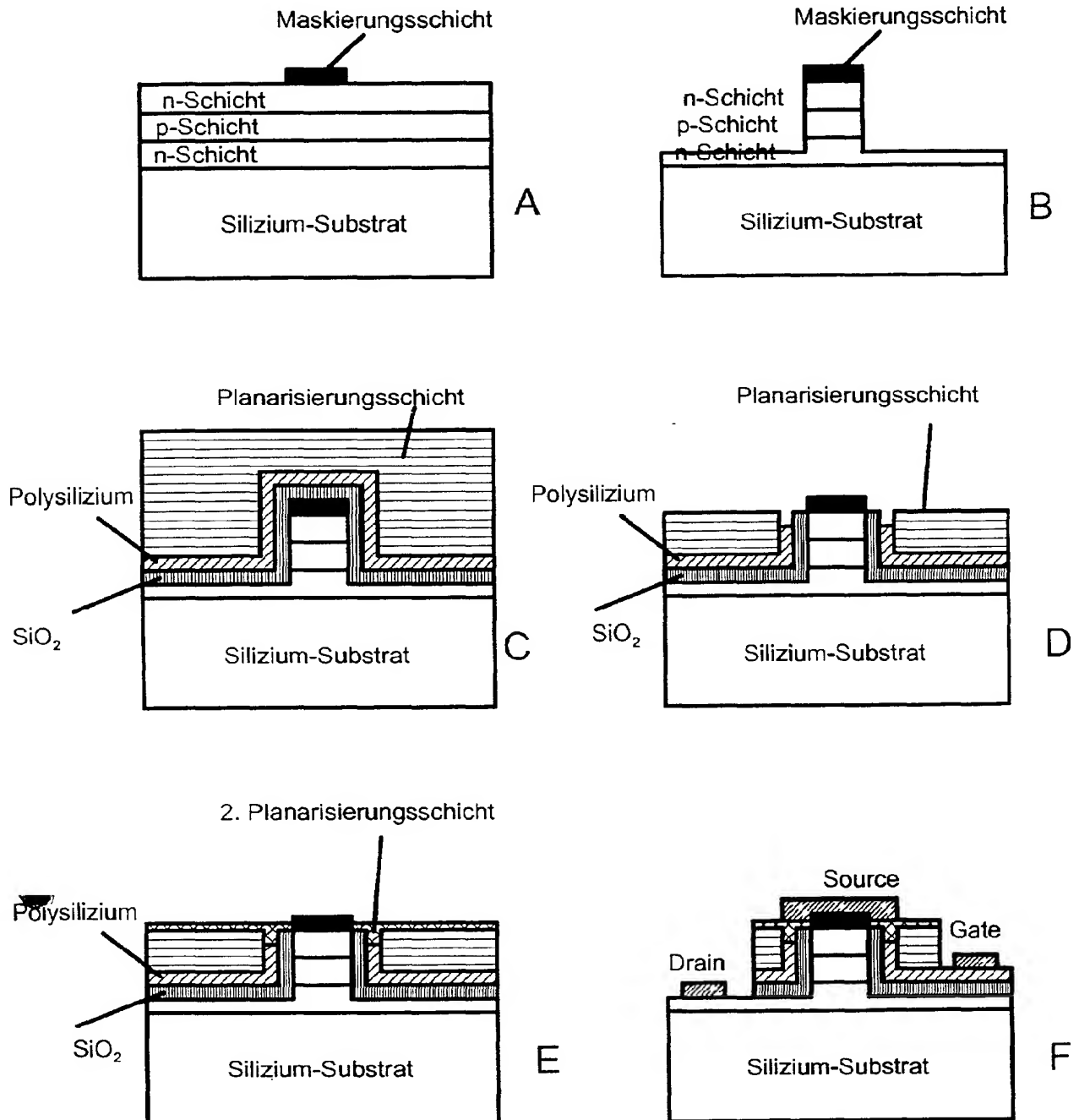


Abb. 1: Herstellung eines vertikalen n-Kanal Double-Gate MOSFET